

【特許請求の範囲】

【請求項1】 画素が2次元配列された光感応領域を有する撮像装置であって、各々入射した光の強度に応じた出力を行う第1光感応部分と第2光感応部分とで1画素が構成されており、前記第1光感応部分からの出力を読み出して当該出力に基づいて画像を検出するための画像検出部と、前記第2光感応部分からの出力を読み出して当該出力に基づいて前記2次元配列における第1の方向及び第2の方向での輝度プロファイルを検出するための輝度プロファイル検出部とを備えることを特徴とする撮像装置。

【請求項2】 前記第1光感応部分からの出力を前記画像検出部に導くための配線と前記第2光感応部分からの出力を前記輝度プロファイル検出部に導くための配線とが前記画素間を延びて設けられていることを特徴とする請求項1に記載の撮像装置。

【請求項3】 前記第2光感応部分は、同一面内にて隣接して配設された複数の光感応部分を含み、前記2次元配列における第1の方向に配列された複数の画素にわたって、前記第2光感応部分に含まれる複数の光感応部分のうち一方の光感応部分同士が電氣的に接続され、前記2次元配列における第2の方向に配列された複数の画素にわたって、前記第2光感応部分に含まれる複数の光感応部分のうち他方の光感応部分同士が電氣的に接続されていることを特徴とする請求項1に記載の撮像装置。

【請求項4】 前記第1の方向に配列された複数の画素にわたって、前記第2光感応部分に含まれる複数の光感応部分のうち一方の光感応部分同士を電氣的に接続するための配線が、前記画素間を前記第1の方向に延びて設けられており、前記第2の方向に配列された複数の画素にわたって、前記第2光感応部分に含まれる複数の光感応部分のうち他方の光感応部分同士を電氣的に接続するための配線が、前記画素間を前記第2の方向に延びて設けられていることを特徴とする請求項3に記載の撮像装置。

【請求項5】 前記第2光感応部分は入射した光の強度に応じた電流を出力し、前記輝度プロファイル検出部は、前記第1の方向に配列された前記複数の画素間において電氣的に接続された一方の光感応部分群からの電流出力を前記第2の方向に順次読み出すための第1輝度プロファイル検出用シフトレジスタと、前記第2の方向に配列された前記複数の画素間において電氣的に接続された他方の光感応部分群からの電流出力を前記第1の方向に順次読み出すための第2輝度プロファイル検出用シフトレジスタと、前記第1輝度プロファイル検出用シフトレジスタにより順次読み出される前記各一方の光感応部分群からの電流

出力を順次入力し、その出力を電圧出力に変換する第1積分回路と、

前記第2輝度プロファイル検出用シフトレジスタにより順次読み出される前記各他方の光感応部分群からの電流出力を順次入力し、その出力を電圧出力に変換する第2積分回路と、を含んでいることを特徴とする請求項3に記載の撮像装置。

【請求項6】 前記第1光感応部分は入射した光の強度に応じた電流を出力し、

前記画像検出部は、前記第1光感応部分からの電流出力を前記第1の方向に順次読み出すための第1画像検出用シフトレジスタと、前記第1画像検出用シフトレジスタにて前記第1の方向に順次読み出された前記電流出力を前記第2の方向に順次読み出すための第2画像検出用シフトレジスタと、を含んでいることを特徴とする請求項1に記載の撮像装置。

【請求項7】 前記輝度プロファイル検出部は、検出した前記第1の方向での輝度プロファイルにおける所定輝度以上の画素位置を特定する第1画素位置特定部と、検出した前記第2の方向での輝度プロファイルにおける所定輝度以上の画素位置を特定する第2画素位置特定部とを含み、

前記画像検出部は、前記第1画素位置特定部及び前記第2画素位置特定部にてそれぞれ特定された前記画素位置を含む画像を検出することを特徴とする請求項1に記載の撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、撮像装置に関する。

【0002】

【従来の技術】従来、CMOS型イメージセンサ等の固体撮像素子を用いて撮像し、画像を検出することが一般的に行われている。

【0003】

【発明が解決しようとする課題】しかしながら、従来のものでは、撮像による画像の検出と共に、光が入射した2次元位置の検出を行うということは不可能であった。

【0004】本発明は上述の点に鑑みてなされたもので、画像の検出と共に、光が入射した2次元位置の検出を行うことができる撮像装置を提供することを課題とする。

【0005】

【課題を解決するための手段】本発明に係る撮像装置は、画素が2次元配列された光感応領域を有する撮像装置であって、各々入射した光の強度に応じた出力を行う第1光感応部分と第2光感応部分とで1画素が構成されており、第1光感応部分からの出力を読み出して当該出力に基づいて画像を検出するための画像検出部と、第2

光感応部分からの出力を読み出して当該出力に基づいて2次元配列における第1の方向及び第2の方向での輝度プロファイルを検出するための輝度プロファイル検出部とを備えることを特徴としている。

【0006】本発明に係る撮像装置では、1つの画素に入射した光は当該画素を構成する第1光感応部分及び第2光感応部分それぞれにおいて検出されて、光強度に応じた出力が光感応部分毎になされる。そして、画像検出部により、第1光感応部分からの出力が読み出されて当該出力に基づいて画像が検出される。また、輝度プロファイル検出部により、第2光感応部分からの出力が読み出され当該出力に基づいて2次元配列における第1の方向及び第2の方向での輝度プロファイルが検出される。このように、1画素が第1光感応部分と第2光感応部分とで構成されていることから、画像の検出と共に、光が入射した2次元位置の検出を行うことが可能となる。

【0007】また、第1光感応部分からの出力を画像検出部に導くための配線と第2光感応部分からの出力を輝度プロファイル検出部に導くための配線とが画素間を延びて設けられていることが好ましい。このように構成した場合、それぞれの配線により第1光感応部分及び第2光感応部分への光の入射を妨げられることはなく、検出感度の低下を抑制できる。

【0008】また、第2光感応部分は、同一面内にて隣接して配設された複数の光感応部分を含み、2次元配列における第1の方向に配列された複数の画素にわたって、第2光感応部分に含まれる複数の光感応部分のうち一方の光感応部分同士が電氣的に接続され、2次元配列における第2の方向に配列された複数の画素にわたって、第2光感応部分に含まれる複数の光感応部分のうち他方の光感応部分同士が電氣的に接続されていることが好ましい。このように構成した場合、1つの第2光感応部分に入射した光は当該第2光感応部分に含まれる光感応部分それぞれにおいて検出されて、光強度に応じた電流がそれぞれの光感応部分毎に出力される。そして、一方の光感応部分同士が2次元配列における第1の方向に配列された複数の画素にわたって電氣的に接続されているので、一方の光感応部分からの電流出力は第1の方向に送られる。また、他方の光感応部分同士が2次元配列における第2の方向に配列された複数の画素にわたって電氣的に接続されているので、他方の光感応部分からの電流出力は第2の方向に送られる。このように、一方の光感応部分からの電流出力は第1の方向に送られるとともに、他方の光感応部分からの電流出力は第2の方向に送られることから、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、1画素に複数の光感応部分を配設するという極めて簡素な構成にて、入射した光の2次元位置を高速に検出することができる。

【0009】また、第1の方向に配列された複数の画素

にわたって、第2光感応部分に含まれる複数の光感応部分のうち一方の光感応部分同士を電氣的に接続するための配線が、画素間を第1の方向に延びて設けられており、第2の方向に配列された複数の画素にわたって、第2光感応部分に含まれる複数の光感応部分のうち他方の光感応部分同士を電氣的に接続するための配線が、画素間を第2の方向に延びて設けられていることが好ましい。このように構成した場合、それぞれの配線により光感応部分への光の入射を妨げられることはなく、検出感度の低下を抑制できる。

【0010】また、第2光感応部分は入射した光の強度に応じた電流を出力し、輝度プロファイル検出部は、第1の方向に配列された複数の画素間において電氣的に接続された一方の光感応部分群からの電流出力を第2の方向に順次読み出すための第1輝度プロファイル検出用シフトレジスタと、第2の方向に配列された複数の画素間において電氣的に接続された他方の光感応部分群からの電流出力を第1の方向に順次読み出すための第2輝度プロファイル検出用シフトレジスタと、第1輝度プロファイル検出用シフトレジスタにより順次読み出される各一方の光感応部分群からの電流出力を順次入力し、その出力を電圧出力に変換する第1積分回路と、第2輝度プロファイル検出用シフトレジスタにより順次読み出される各他方の光感応部分群からの電流出力を順次入力し、その出力を電圧出力に変換する第2積分回路と、を含んでいることが好ましい。このように構成した場合、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを極めて簡易な構成にて検出することができる。

【0011】また、第1光感応部分は入射した光の強度に応じた電流を出力し、画像検出部は、第1光感応部分からの電流出力を第1の方向に順次読み出すための第1画像検出用シフトレジスタと、第1画像検出用シフトレジスタにて第1の方向に順次読み出された電流出力を第2の方向に順次読み出すための第2画像検出用シフトレジスタと、を含んでいることが好ましい。このように構成した場合、画像を極めて簡易な構成にて検出することができる。

【0012】また、輝度プロファイル検出部は、検出した第1の方向での輝度プロファイルにおける所定輝度以上の画素位置を特定する第1画素位置特定部と、検出した第2の方向での輝度プロファイルにおける所定輝度以上の画素位置を特定する第2画素位置特定部とを含み、画像検出部は、第1画素位置特定部及び第2画素位置特定部にてそれぞれ特定された画素位置を含む画像を検出することが好ましい。このように構成した場合、所定輝度以上の領域を含む画像を極めて高速にて検出することができる。また、当該撮像装置の動体追尾センサ等への適用が可能となる。

【0013】

10

20

30

40

50

【発明の実施の形態】本発明の実施形態に係る撮像装置について図面を参照して説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。以下では、パラメータMおよびNそれぞれを2以上の整数とする。また、特に明示しない限りは、パラメータmを1以上M以下の任意の整数とし、パラメータnを1以上N以下の任意の整数とする。

【0014】図1は、本実施形態に係る撮像装置を示す概念概略構成図である。本実施形態に係る撮像装置10は、図1に示されるように、光感応領域10と、第1輝度プロファイル検出用信号処理回路20と、第2輝度プロファイル検出用信号処理回路30、画像検出部としての画像検出用信号処理回路50とを有している。ここで、第1輝度プロファイル検出用信号処理回路20と第2輝度プロファイル検出用信号処理回路30とが輝度プロファイル検出部を構成する。

【0015】光感応領域10は、画素11_{mn}がM行N列に2次元配列されている。1画素は、各々に入射した光の強度に応じた電流を出力する第1光感応部分12_{mn}と第2光感応部分13_{mn}を同一面内にて隣接して配設することで構成されている。また、第2光感応部分13_{mn}は、同一面内にて隣接して配設された複数（本実施形態においては、2つ）の光感応部分14_{mn}、15_{mn}を含んでいる。

【0016】2次元配列における第1の方向に配列された複数の画素11₁₁～11_{1N}、11₂₁～11_{2N}、・・・、11_{M1}～11_{MN}にわたって、第2光感応部分13_{mn}に含まれる複数の光感応部分14_{mn}、15_{mn}のうち一方の光感応部分14_{mn}同士（たとえば、一方の光感応部分14₁₁～14_{1N}）が電氣的に接続されている。また、第2光感応部分13_{mn}に含まれる複数の光感応部分14_{mn}、15_{mn}のうち他方の光感応部分15_{mn}同士（たとえば、一方の光感応部分15₁₁～15_{1N}）が電氣的に接続されている。

【0017】ここで、図2及び図3に基づいて、光感応領域10の構成について説明する。図2は、撮像装置に含まれる光感応領域の一例を示す要部拡大平面図であり、図3は、撮像装置に含まれる光感応領域を示す概略構成図である。なお、図2においては、絶縁層、保護層等の図示を省略している。

【0018】光感応領域10は、P型（第1導電型）の半導体からなる半導体基板40と、当該半導体基板40の表層に形成されたN型（第2導電型）の半導体領域41、42、43とを含んでいる。これにより、第1光感応部分12_{mn}は半導体基板40部分と第2導電型半導体領域41とを含み、フォトダイオード61が構成されることとなる。また、第2光感応部分13_{mn}に含まれる一方の光感応部分14_{mn}は半導体基板40部分と第2導電型半導体領域42とを含み、フォトダイオード62が構

成されることとなる。また、第2光感応部分13_{mn}に含まれる他方の光感応部分15_{mn}は半導体基板40部分と第2導電型半導体領域43とを含み、フォトダイオード63が構成されることとなる。第1光感応部分12_{mn}は、パッシブピクセルセンサ（PPS：Passive Pixel Sensor）に構成されている。

【0019】第2導電型半導体領域42、43は、図2に示されるように、光入射方向から見て略三角形状を呈しており、1画素において2つの領域42、43が互いに一辺が隣接して形成されている。半導体基板40は、接地電位とされている。なお、光感応領域10は、N型の半導体からなる半導体基板と、当該半導体基板の表層に形成されたP型の半導体領域とを含んで構成されていてもよい。

【0020】領域41には、絶縁層（図示せず）に形成されたスルーホール（図示せず）を介して第1配線45が電氣的に接続されている。また、領域41に対して、ポリシリコンからなるMOSゲート46が設けられており、MOSゲート46には第2配線47が電氣的に接続されている。このMOSゲート46によりスイッチ素子64（電界効果トランジスタ：FET）が構成されることとなる。スイッチ素子64のドレインが領域41と共通であり、ゲートが第2配線47に接続され、ソースが第1配線45に接続される。

【0021】領域42には、絶縁層（図示せず）に形成されたスルーホール（図示せず）を介して第3配線48が電氣的に接続されている。領域43には、絶縁層（図示せず）に形成されたスルーホール（図示せず）を介して第4配線49が電氣的に接続されている。なお、上述した絶縁層の材料としてはSiO₂又はSiN等を用いることができ、第1配線45～第4配線49の各配線の材料としてはAl等の金属を用いることができる。

【0022】第1配線45は、各画素11_{mn}における領域41を第1の方向にわたって電氣的に接続するものであって、画素11_{mn}間を第1の方向に延びて設けられている。第2配線47は、MOSゲート46を第2の方向にわたって電氣的に接続するものであって、画素11_{mn}間を第2の方向に延びて設けられている。

【0023】第3配線48は、各画素11_{mn}における領域42を第1の方向にわたって電氣的に接続するものであって、画素11_{mn}間を第1の方向に延びて設けられている。このように、各画素11_{mn}における領域42を第3配線48で接続することにより、2次元配列における第1の方向に配列された複数の画素11₁₁～11_{1N}、11₂₁～11_{2N}、・・・、11_{M1}～11_{MN}にわたって一方の光感応部分14_{mn}同士（たとえば、一方の光感応部分14₁₁～14_{1N}）が電氣的に接続されて、光感応領域10において第1の方向に長く延びる光感応部が構成される。この第1の方向に長く延びる光感応部はM列形成されることになる。

【0024】第4配線49は、各画素11_{mn}における領域43を第2の方向にわたって電氣的に接続するものであって、画素11_{mn}間を第2の方向に延びて設けられている。このように、各画素11_{mn}における領域43を第4配線49で接続することにより、2次元配列における第2の方向に配列された複数の画素11₁₁～11_{M1}, 11₁₂～11_{M2}, …, 11_{1N}～11_{MN}にわたって他方の光感応部分15_{mn}同士（たとえば、他方の光感応部分15₁₁～15_{M1}）が電氣的に接続されて、光感応領域10において第2の方向に長く延びる光感応部が構成される。この第2の方向に長く延びる光感応部はN行形成されることになる。

【0025】また、光感応領域10においては、上述した第1の方向に長く延びるM列の光感応部と第2の方向に長く延びるN行の光感応部とが同一面上に形成されることになる。

【0026】図2から分かるように、図3において、第2配線47及び第4配線49は図3中左右方向に並んでいる画素11間でつながっており、第1配線45及び第3配線48は図3中上下方向に並んでいる画素11間で

【0027】領域42, 43の形状は、図2に示された略三角形のものに限られず、他の形状であってもよく、たとえば、光入射方向から見て長方形や楕状を呈していてもよい。また、1画素あたり2以上の領域としてもよい。なお、1画素あたり第1の方向と第2の方向の第2導電型半導体領域の面積が異なっても、画素間で夫々の方向ごとに一定であればよい。すなわち、同一の方向に延びる全ての配線で各々に接続されている光感応領域の総面積が同じであればよい。

【0028】続いて、図4及び図5に基づいて、第1輝度プロファイル検出用信号処理回路20及び第2輝度プロファイル検出用信号処理回路30の構成について説明する。図4は、第1輝度プロファイル検出用信号処理回路を示す概略構成図であり、図5は、第2輝度プロファイル検出用信号処理回路を示す概略構成図である。

【0029】第1輝度プロファイル検出用信号処理回路20は、光感応領域10に入射した光の第2の方向での輝度プロファイルを示す電圧H_{out}を出力する。第2輝度プロファイル検出用信号処理回路30は、光感応領域10に入射した光の第1の方向での輝度プロファイルを示す電圧V_{out}を出力する。

【0030】第1輝度プロファイル検出用信号処理回路20は、図4に示されるように、第1の方向に配列された複数の画素11₁₁～11_{1N}, 11₂₁～11_{2N}, …, 11_{M1}～11_{MN}間において電氣的に接続された一方の光感応部分14_{mn}群（第2導電型半導体領域42からなり、第1の方向に長く延びるM列の光感応部）に対応して設けられた第1スイッチ素子21と、第1の方向に配列された複数の画素11₁₁～11_{1N}, 11₂₁～1

11_{2N}, …, 11_{M1}～11_{MN}間において電氣的に接続された一方の光感応部分14_{mn}群からの電流を第2の方向に順次読み出すための第1輝度プロファイル検出用シフトレジスタ22と、第1輝度プロファイル検出用シフトレジスタ22により順次読み出される各一方の光感応部分14_{mn}群からの電流を順次入力し、その電流を電圧に変換して出力する第1積分回路23とを含んでいる。

【0031】第1スイッチ素子21は、第1輝度プロファイル検出用シフトレジスタ22から出力される信号shif_t（H_m）により制御されて順次閉じられる。第1スイッチ素子21を閉じることにより、第1の方向に配列された複数の画素11₁₁～11_{1N}, 11₂₁～11_{2N}, …, 11_{M1}～11_{MN}間において電氣的に接続された一方の光感応部分14_{mn}群に蓄積された電荷が電流となって、第3配線48及び第1スイッチ素子21を介して第1積分回路23に出力される。第1輝度プロファイル検出用シフトレジスタ22は、制御回路（図示せず）から出力される信号によりその動作が制御されて、第1スイッチ素子21を順次閉じる。

【0032】第1積分回路23は、第1の方向に配列された複数の画素11₁₁～11_{1N}, 11₂₁～11_{2N}, …, 11_{M1}～11_{MN}間において電氣的に接続された一方の光感応部分14_{mn}群からの電流出力を入力し、入力した電流出力の電荷を増幅するアンプ24と、アンプ24の入力端子に一方の端子が接続され、アンプ24の出力端子に他方の端子が接続された容量素子25と、アンプ24の入力端子に一方の端子が接続され、アンプ24の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号Φ_{Hreset}が有意の場合には「ON」状態となり、リセット信号Φ_{Hreset}が非有意の場合には「OFF」状態となるスイッチ素子26とを有している。

【0033】第1積分回路23は、スイッチ素子26が「ON」状態であるときには、容量素子25を放電して初期化する。一方、第1積分回路23は、スイッチ素子26が「OFF」状態であるときには、第1の方向に配列された複数の画素11₁₁～11_{1N}, 11₂₁～11_{2N}, …, 11_{M1}～11_{MN}間において電氣的に接続された一方の光感応部分14_{mn}群から入力端子に入力した電荷を容量素子25に蓄積して、その蓄積された電荷に応じた電圧H_{out}を出力端子から出力する。

【0034】第2輝度プロファイル検出用信号処理回路30は、図5に示されるように、第2の方向に配列された複数の画素11₁₁～11_{M1}, 11₁₂～11_{M2}, …, 11_{1N}～11_{MN}間において電氣的に接続された他方の光感応部分15_{mn}群（第2導電型半導体領域43からなり、第2の方向に長く延びるN行の光感応部）に対応して設けられた第2スイッチ素子31と、第2の方向に配列された複数の画素11₁₁～11_{M1}, 11₁₂～11_{M2}, …, 11_{1N}～11_{MN}間において電氣的に接続

10

20

30

40

50

された他方の光感応部分15_{mn}群からの電流を第1の方向に順次読み出すための第2輝度プロファイル検出用シフトレジスタ32と、第2輝度プロファイル検出用シフトレジスタ32により順次読み出される各他方の光感応部分15_{mn}群からの電流を順次入力し、その電流を電圧に変換して出力する第2積分回路33とを含んでいる。

【0035】第2スイッチ素子31は、第2輝度プロファイル検出用シフトレジスタ32から出力される信号shift(V_n)により制御されて順次閉じられる。第2スイッチ素子31を閉じることにより、第2の方向に配列された複数の画素11₁₁~11_{M1}, 11₁₂~11_{M2}, ..., 11_{1N}~11_{MN}間において電氣的に接続された他方の光感応部分15_{mn}群に蓄積された電荷が電流となって、第4配線49及び第2スイッチ素子31を介して第2積分回路33に出力される。第2輝度プロファイル検出用シフトレジスタ32は、制御回路から出力される信号によりその動作が制御されて、第2スイッチ素子31を順次閉じる。

【0036】第2積分回路33は、第2の方向に配列された複数の画素11₁₁~11_{M1}, 11₁₂~11_{M2}, ..., 11_{1N}~11_{MN}間において電氣的に接続された他方の光感応部分15_{mn}群からの電流出力を入力し、入力した電流出力の電荷を増幅するアンプ34と、アンプ34の入力端子に一方の端子が接続され、アンプ34の出力端子に他方の端子が接続された容量素子35と、アンプ34の入力端子に一方の端子が接続され、アンプ34の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号Φ_{Vreset}が有意の場合には「ON」状態となり、リセット信号Φ_{Vreset}が非有意の場合には「OFF」状態となるスイッチ素子36とを有している。

【0037】第2積分回路33は、スイッチ素子36が「ON」状態であるときには、容量素子35を放電して初期化する。一方、第2積分回路33は、スイッチ素子36が「OFF」状態であるときには、第2の方向に配列された複数の画素11₁₁~11_{M1}, 11₁₂~11_{M2}, ..., 11_{1N}~11_{MN}間において電氣的に接続された他方の光感応部分15_{mn}群から入力端子に入力した電荷を容量素子35に蓄積して、その蓄積された電荷に応じた電圧V_{out}を出力端子から出力する。

【0038】続いて、図6及び図7に基づいて、第1輝度プロファイル検出用信号処理回路20及び第2輝度プロファイル検出用信号処理回路30の動作について説明する。図6は、第1輝度プロファイル検出用信号処理回路の動作を説明するためのタイミングチャートであり、図7は、第2輝度プロファイル検出用信号処理回路の動作を説明するためのタイミングチャートである。

【0039】図6において、制御回路から第1輝度プロファイル検出用シフトレジスタ22にスタート信号が入力されると、所定のパルス幅を有する信号shift

(H_m)が順次出力される。第1輝度プロファイル検出用シフトレジスタ22から対応する第1スイッチ素子21にshift(H_m)が出力されると、第1スイッチ素子21が順次閉じ、対応する一方の光感応部分14_{mn}群に蓄積された電荷が電流となって第1積分回路23に順次出力される。

【0040】第1積分回路23には、制御回路からリセット信号Φ_{Hreset}が入力されており、リセット信号Φ_{Hreset}が「OFF」状態の期間、対応する一方の光感応部分14_{mn}群に蓄積された電荷が容量素子25に蓄積されて、蓄積された電荷量に応じた電圧H_{out}が第1積分回路23から順次出力される。なお、第1積分回路23は、リセット信号Φ_{Hreset}が「ON」状態のときにはスイッチ素子26を閉じて容量素子25を初期化する。

【0041】このように、第1輝度プロファイル検出用信号処理回路20からは、第1の方向に配列された複数の画素11₁₁~11_{1N}, 11₂₁~11_{2N}, ..., 11_{M1}~11_{MN}間において電氣的に接続された一方の光感応部分14_{mn}群にて蓄積されて電荷(電流)に対応した電圧H_{out}が、対応する一方の光感応部分14_{mn}群毎に順次時系列データとして出力される。この時系列データは、第2の方向での輝度プロファイルを示すものである。

【0042】図7において、制御回路から第2輝度プロファイル検出用シフトレジスタ32にスタート信号が入力されると、所定のパルス幅を有する信号shift(V_n)が順次出力される。第2輝度プロファイル検出用シフトレジスタ32から対応する第2スイッチ素子31にshift(V_n)が出力されると、第2スイッチ素子31が順次閉じ、対応する他方の光感応部分15_{mn}群に蓄積された電荷が電流となって第2積分回路33に順次出力される。

【0043】第2積分回路33には、制御回路からリセット信号Φ_{Vreset}が入力されており、リセット信号Φ_{Vreset}が「OFF」状態の期間、対応する他方の光感応部分15_{mn}群に蓄積された電荷が容量素子35に蓄積されて、蓄積された電荷量に応じた電圧V_{out}が第2積分回路33から順次出力される。なお、第2積分回路33は、リセット信号Φ_{Vreset}が「ON」状態のときにはスイッチ素子36を閉じて容量素子35を初期化する。

【0044】このように、第2輝度プロファイル検出用信号処理回路30からは、第2の方向に配列された複数の画素11₁₁~11_{M1}, 11₁₂~11_{M2}, ..., 11_{1N}~11_{MN}間において電氣的に接続された他方の光感応部分15_{mn}群にて蓄積されて電荷(電流)に対応した電圧V_{out}が、対応する他方の光感応部分15_{mn}群毎に順次時系列データとして出力される。この時系列データは、第1の方向での輝度プロファイルを示すものである。

【0045】続いて、図8に基づいて、画像検出用信号

11

処理回路50の構成について説明する。図8は、画像検出部を示す概略構成図である。画像検出用信号処理回路50は、光感応領域10に入射した光により画素データ（画像）を示す電圧 I_{Mout} を出力する。

【0046】画像検出用信号処理回路50は、各第1光感応部分12_{mn}からの電流出力を第1の方向に順次読み出すための第1画像検出用シフトレジスタ51と、第2の方向に配列された画素11_{mn}に対応して設けられた第3スイッチ素子52と、第1画像検出用シフトレジスタ51にて第1の方向に順次読み出されたそれぞれの電流出力を第2の方向に順次読み出すための第2画像検出用シフトレジスタ53と、第2画像検出用シフトレジスタ53により順次読み出される各第1光感応部分12_{mn}からの電流を順次入力し、その電流を電圧に変換して出力する第3積分回路54とを含んでいる。

【0047】第1画像検出用シフトレジスタ51は、夫々の第1光感応部分12_{mn}で生じた電流を読み出すために、制御回路（図示せず）から出力される信号によりその動作が制御されて、夫々のMOSゲート46（スイッチ素子64）に信号 $shift(V_{In})$ を出力する。第1画像検出用シフトレジスタ51は、第2の方向に配列された第1光感応部分12_{mn}のMOSゲート46（スイッチ素子64）に対して、同時に信号 $shift(V_{In})$ を出力し得るように第2配線47を介して接続されている。

【0048】第3スイッチ素子52は、第2画像検出用シフトレジスタ53から出力される信号 $shift(H_{Im})$ により制御されて順次閉じられる。第3スイッチ素子52を閉じることにより、第1画像検出用シフトレジスタ51からの信号 $shift(V_{In})$ により閉じられたMOSゲート46（スイッチ素子64）に対応する第1光感応部分12_{mn}に蓄積された電荷が電流となって、第1配線48及び第3スイッチ素子52を介して第3積分回路54に出力される。第2画像検出用シフトレジスタ53は、制御回路（図示せず）から出力される信号によりその動作が制御されて、第3スイッチ素子52を順次閉じる。

【0049】第3積分回路54は、夫々の第1光感応部分12_{mn}からの電流出力を入力し、入力した電流出力の電荷を増幅するアンプ55と、アンプ55の入力端子に一方の端子が接続され、アンプ55の出力端子に他方の端子が接続された容量素子56と、アンプ55の入力端子に一方の端子が接続され、アンプ55の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号 $\Phi_{IMreset}$ が有意の場合には「ON」状態となり、リセット信号 $\Phi_{IMreset}$ が非有意の場合には「OFF」状態となるスイッチ素子57とを有している。

【0050】第3積分回路54は、スイッチ素子57が「ON」状態であるときには、容量素子56を放電して初期化する。一方、第3積分回路54は、スイッチ素子

12

57が「OFF」状態であるときには、夫々の第1光感応部分12_{mn}から入力端子に入力した電荷を容量素子56に蓄積して、その蓄積された電荷に応じた電圧 I_{Mout} を出力端子から出力する。

【0051】続いて、図9に基づいて、画像検出用信号処理回路50の動作について説明する。図9は、画像検出用信号処理回路の動作を説明するためのタイミングチャートである。

【0052】図9において、制御回路から第1画像検出用シフトレジスタ51にスタート信号が入力されると、所定のパルス幅を有する信号 $shift(V_{In})$ が順次出力される。第1画像検出用シフトレジスタ51から対応するMOSゲート46に $shift(V_{In})$ が出力されると、MOSゲート46が順次閉じる。

【0053】この状態で、制御回路から第2画像検出用シフトレジスタ53にスタート信号が入力されると、所定のパルス幅を有する信号 $shift(H_{Im})$ が順次出力される。第2画像検出用シフトレジスタ53から対応する第3スイッチ素子52に $shift(H_{Im})$ が出力されると、第3スイッチ素子52が順次閉じ、対応する第1光感応部分12_{mn}に蓄積された電荷が電流となって第3積分回路54に順次出力される。

【0054】第3積分回路54には、制御回路からリセット信号 $\Phi_{IMreset}$ が入力されており、リセット信号 $\Phi_{IMreset}$ が「OFF」状態の期間、対応する第1光感応部分12_{mn}に蓄積された電荷が容量素子56に蓄積されて、蓄積された電荷量に応じた電圧 I_{Mout} が第3積分回路54から順次出力される。なお、第3積分回路54は、リセット信号 $\Phi_{IMreset}$ が「ON」状態のときにはスイッチ素子57を閉じて容量素子56を初期化する。

【0055】このように、画像検出用信号処理回路50からは、第1光感応部分12_{mn}にて蓄積されて電荷（電流）に対応した I_{Mout} が、対応する第1光感応部分12_{mn}毎に順次時系列データとして出力される。この時系列データは、画素データ（画像）を示すものである。

【0056】なお、第1輝度プロファイル検出用信号処理回路20、第2輝度プロファイル検出用信号処理回路30及び画像検出用信号処理回路50は、同じタイミングにて動作させてもよく、時系列順で独立して動作させてもよい。

【0057】以上のように、本実施形態の撮像装置1においては、1つの画素11_{mn}に入射した光は当該画素11_{mn}を構成する第1光感応部分12_{mn}及び第2光感応部分13_{mn}それぞれにおいて検出されて、光強度に応じた出力が光感応部分12_{mn}、13_{mn}毎になされる。そして、画像検出用信号処理回路50により、第1光感応部分12_{mn}からの出力が読み出されて当該出力に基づいて画像が検出される。また、輝度プロファイル検出部（第1輝度プロファイル検出用信号処理回路20及び第2輝度プロファイル検出用信号処理回路30）により、第2

13

光感応部分13_{mn}からの出力が読み出され当該出力に基づいて2次元配列における第1の方向及び第2の方向での輝度プロファイルが検出される。このように、1画素が第1光感応部分12_{mn}と第2光感応部分13_{mn}とで構成されていることから、画像の検出と共に、光が入射した2次元位置の検出を行うことが可能となる。

【0058】また、本実施形態の撮像装置1において、第1光感応部分12_{mn}からの出力を画像検出用信号処理回路50に導くための第1配線45及び第2配線47と、第2光感応部分13_{mn}からの出力を輝度プロファイル検出部（第1輝度プロファイル検出用信号処理回路20及び第2輝度プロファイル検出用信号処理回路30）に導くための第3配線48及び第4配線49とが画素11_{mn}間を延びて設けられている。これにより、それぞれの配線45、47、48、49により第1光感応部分12_{mn}及び第2光感応部分13_{mn}への光の入射を妨げられることはなく、検出感度の低下を抑制できる。

【0059】また、本実施形態の撮像装置1において、第2光感応部分13_{mn}は、同一面内にて隣接して配設された複数の光感応部分14_{mn}、15_{mn}を含み、2次元配列における第1の方向に配列された複数の画素11₁₁～11_{1N}、11₂₁～11_{2N}、・・・、11_{M1}～11_{MN}にわたって、第2光感応部分13_{mn}に含まれる複数の光感応部分14_{mn}、15_{mn}のうち一方の光感応部分14_{mn}同士が電氣的に接続され、2次元配列における第2の方向に配列された複数の画素11₁₁～11_{M1}、11₁₂～11_{M2}、・・・、11_{1N}～11_{MN}にわたって、第2光感応部分13_{mn}に含まれる複数の光感応部分14_{mn}、15_{mn}のうち他方の光感応部分15_{mn}同士が電氣的に接続されている。これにより、1つの第2光感応部分13_{mn}に入射した光は当該第2光感応部分13_{mn}に含まれる光感応部分14_{mn}、15_{mn}それぞれにおいて検出されて、光強度に応じた電流がそれぞれの光感応部分14_{mn}、15_{mn}毎に出力される。そして、一方の光感応部分14_{mn}同士が2次元配列における第1の方向に配列された複数の画素11₁₁～11_{1N}、11₂₁～11_{2N}、・・・、11_{M1}～11_{MN}にわたって電氣的に接続されているので、一方の光感応部分14_{mn}からの電流出力は第1の方向に送られる。また、他方の光感応部分15_{mn}同士が2次元配列における第2の方向に配列された複数の画素11₁₁～11_{M1}、11₁₂～11_{M2}、・・・、11_{1N}～11_{MN}にわたって電氣的に接続されているので、他方の光感応部分15_{mn}からの電流出力は第2の方向に送られる。このように、一方の光感応部分14_{mn}からの電流出力は第1の方向に送られるとともに、他方の光感応部分15_{mn}からの電流出力は第2の方向に送られることから、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、1画素に複数の光感応部分14_{mn}、15_{mn}を配設するという極めて簡素な構成にて、入射した光の2次元位

14

置を高速に検出することができる。

【0060】また、本実施形態の撮像装置1においては、第3配線48が、画素11_{mn}間を第1の方向に延びて設けられており、第4配線49が、画素11_{mn}間を第2の方向に延びて設けられていることが好ましい。このように構成した場合、それぞれの配線48、49により光感応部分12_{mn}、13_{mn}への光の入射を妨げられることはなく、検出感度の低下を抑制できる。

【0061】また、本実施形態の撮像装置1において、第2光感応部分13_{mn}は入射した光の強度に応じた電流を出力し、輝度プロファイル検出部（第1輝度プロファイル検出用信号処理回路20、第2輝度プロファイル検出用信号処理回路30）は、第1輝度プロファイル検出用シフトレジスタ22と、第2輝度プロファイル検出用シフトレジスタ32と、第1積分回路23と、第2積分回路33とを含んでいる。これにより、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを極めて簡易な構成にて検出することができる。

【0062】また、本実施形態の撮像装置1において、第1光感応部分12_{mn}は入射した光の強度に応じた電流を出力し、画像検出用信号処理回路50は、第1画像検出用シフトレジスタ51と、第2画像検出用シフトレジスタ53と、第2積分回路54とを含んでいる。これにより、画像（画素データ）を極めて簡易な構成にて検出することができる。

【0063】次に、図10に基づいて、本実施形態に係る撮像装置の変形例について説明する。図10は、本実施形態に係る撮像装置の変形例を示す概略構成図である。変形例は、上述した実施形態に比して、第1光感応部分12_{mn}がアクティブピクセルセンサ（PPS：Active Pixel Sensor）に構成されている点で相違する。なお、図10では、2×2画素として図示している。なお、図10において、各画素11₁₁、11₁₂、11₂₁、11₂₂の同じ位置から延びる各配線はつながっている。

【0064】電界効果トランジスタ（FET）81、82の各ドレインが電源電圧に接続され、トランジスタ81のソースとトランジスタ82のゲートが電界効果トランジスタ83のドレインに接続されている。トランジスタ83のソースがフォトダイオード61のカソードに接続されている。更に、トランジスタ82のソースが、トランジスタ84のドレイン、ソースを通して第3スイッチ素子52側に接続されている。トランジスタ81のゲートには、第1画像検出用シフトレジスタ51からリセット信号Reset（V_{In}）が与えられ、トランジスタ83のゲートには、第1画像検出用シフトレジスタ51から信号SW（V_{In}）が与えられる。また、トランジスタ84には、第1画像検出用シフトレジスタ51から信号shift（V_{In}）が与えられる。

【0065】このアクティブピクセルセンサの動作について説明するに、まず、トランジスタ81のゲートにリ

セット信号Reset (V_{In}) が印加され、トランジスタ81がオンになり、トランジスタ81のドレイン、ソースを介してフォトダイオード61のカソードの電圧が電源電位にされる(リセットされる)。なお、このとき、トランジスタ83はオンであり、トランジスタ84はオフである。続いて、トランジスタ81のゲートへのリセット信号Reset (V_{In}) が消失してトランジスタ81がオフとなり、これにより、フォトダイオード61のカソード電位が電源電位に維持される。この状態で、フォトダイオード61に光が照射され、フォトダイオード61が入射光を光電変換して、照射光量(強度×時間)に比例した電荷Qがフォトダイオード61に蓄積され、フォトダイオード61のカソードの電位が Q/C なる電圧変化を起こす(ただし、Cはフォトダイオード61の容量である)。

【0066】その後、トランジスタ83のゲートに信号SW (V_{In}) が印加され、トランジスタ84のゲートに信号shift (V_{In}) が印加されることにより、フォトダイオード61の上述したカソード電圧変化分が、トランジスタ83、トランジスタ82及びトランジスタ84を通して画像信号として出力される。

【0067】このように、第1光感応部分12_{mn}をアクティブピクセルセンサにて構成した場合においても、画像の検出と共に、光が入射した2次元位置の検出を行うことが可能となる。

【0068】次に、図11に基づいて、本実施形態に係る撮像装置の更なる変形例について説明する。図11は、本実施形態に係る撮像装置の更なる変形例を示す概略構成図である。

【0069】図11に示された変形例において、第2輝度プロファイル検出用信号処理回路30(輝度プロファイル検出部)は、第1の方向での輝度プロファイルにおける所定輝度以上の画素位置を特定する第1画素位置特定部91を含んでいる。第1画素位置特定部91には、夫々の第2スイッチ素子31からの出力が接続されており、第2の方向に配列された複数の画素11₁₁~11_{M1}, 11₁₂~11_{M2}, ..., 11_{1N}~11_{MN}間において電氣的に接続された他方の光感応部分15_{mn}群からの電流出力が入力される。

【0070】第1画素位置特定部91は、入力された出力に基づいて、所定輝度以上となる画素位置を特定して、特定した画素位置に関する情報を画素情報(チャンネル情報)として第1画像検出用シフトレジスタ51に送る。画素情報には、特定した画素位置の周辺に位置する画素位置も含まれる。第1画像検出用シフトレジスタ51は、第1画素位置特定部91から送られた画素情報に基づいて、当該画素情報における画素位置に対応するMOSゲート46のみshift (V_{In}) を順次出力する。これにより、画素情報における画素位置に対応するMOSゲート46のみが順次閉じられることとなる。

【0071】第1輝度プロファイル検出用信号処理回路20(輝度プロファイル検出部)は、第2の方向での輝度プロファイルにおける所定輝度以上の画素位置を特定する第2画素位置特定部92を含んでいる。第2画素位置特定部92には、夫々の第1スイッチ素子21からの出力が接続されており、第1の方向に配列された複数の画素11₁₁~11_{1N}, 11₂₁~11_{2N}, ..., 11_{M1}~11_{MN}間において電氣的に接続された一方の光感応部分14_{mn}群からの出力が入力される。

【0072】第2画素位置特定部92は、入力された出力に基づいて、所定輝度以上となる画素位置を特定して、特定した画素位置に関する情報を画素情報(チャンネル情報)として第2画像検出用シフトレジスタ53に送る。画素情報には、特定した画素位置の周辺に位置する画素位置も含まれる。第2画像検出用シフトレジスタ53は、第2画素位置特定部92から送られた画素情報に基づいて、当該画素情報における画素位置に対応する第3スイッチ素子52のみshift (H_{In}) を順次出力する。これにより、画素情報における画素位置に対応する第3スイッチ素子52のみが順次閉じられて、当該画素位置に対応する第1光感応部分12_{mn}に蓄積された電荷が電流となってイメージ読出回路93、第3スイッチ素子52を介してA/D変換回路94に順次出力される。なお、第1輝度プロファイル検出用信号処理回路20及び第2輝度プロファイル検出用信号処理回路30の出力はA/D変換回路95、96に送られてA/D変換された後に出力される。

【0073】したがって、図12(a)及び(b)に示されるように、光感応領域10全体で検出される画像I1(M×N画素)に対して、所定輝度以上となる所定の領域の画像I2(O×P画素:ただし $M \geq O$ 、 $N \geq P$)を得ることができる。たとえば、 $M=N=512$ 、 $O=P=64$ 、読み出し速度 $1 \mu\text{sec}/\text{pixel}$ の場合、画像I1を読み出すとフレームレートは3.8(fps)となり、画像I2を読み出すと244(fps)となり、高速での読み出しが可能となる。なお、図12(a)において、特性Aは、第1輝度プロファイル検出用信号処理回路20により得られた第2の方向での輝度プロファイルを示し、特性Bは、第2輝度プロファイル検出用信号処理回路30により得られた第1の方向での輝度プロファイルを示す。

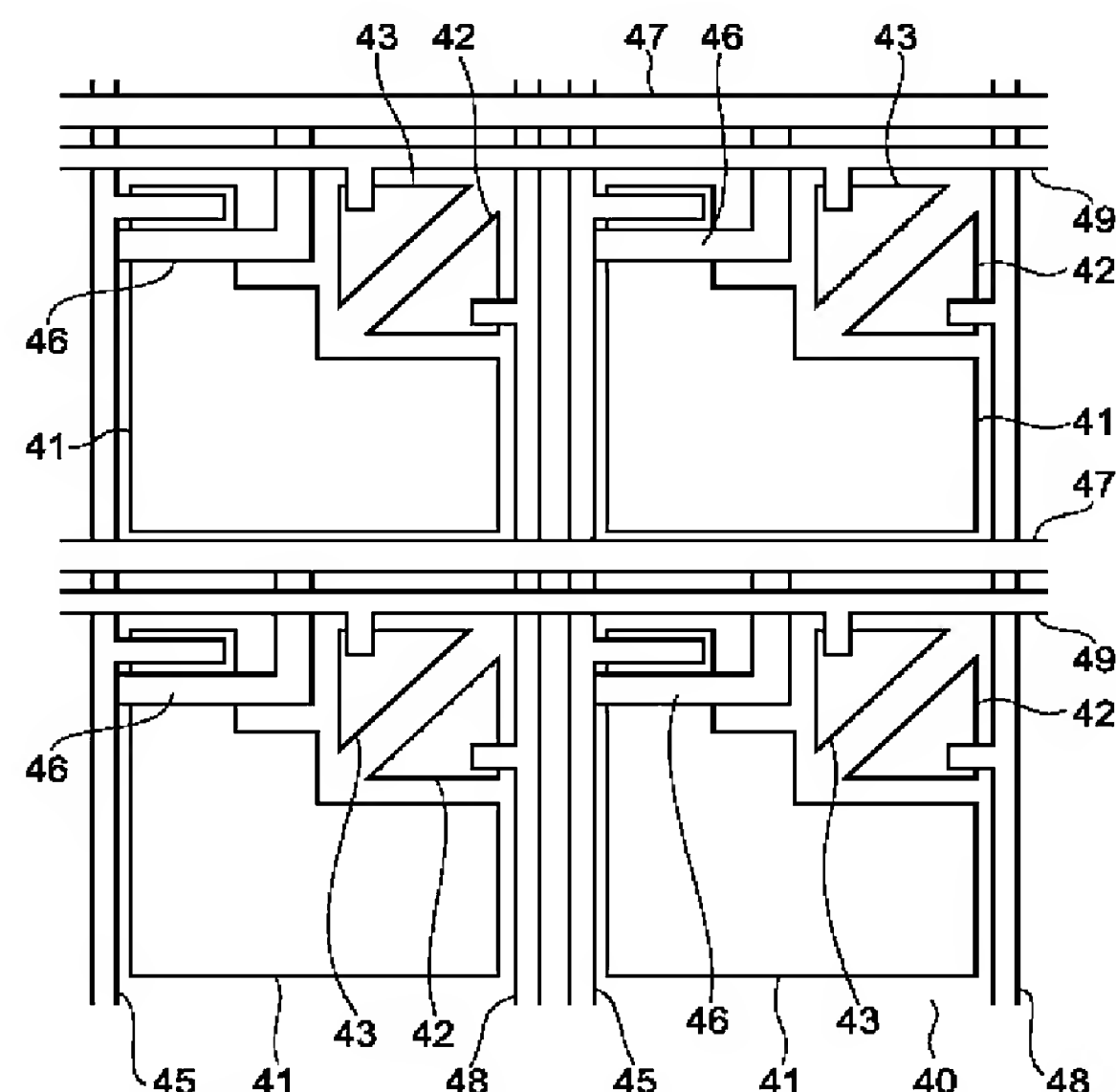
【0074】このように、図11に示された変形例では、所定輝度以上の領域を含む画像を極めて高速にて検出することができる。また、当該撮像装置1の動体追尾センサ等への適用が可能となる。

【0075】本発明は、前述した実施形態に限定されるものではない。たとえば、第2光感応部分13_{mn}を同一面内にて第1光感応部分12_{mn}と隣接して配設する代わりに、光感応領域10が形成される半導体基板40の裏面側に、抵抗電極等の格子状の抵抗部を設け、光入射に

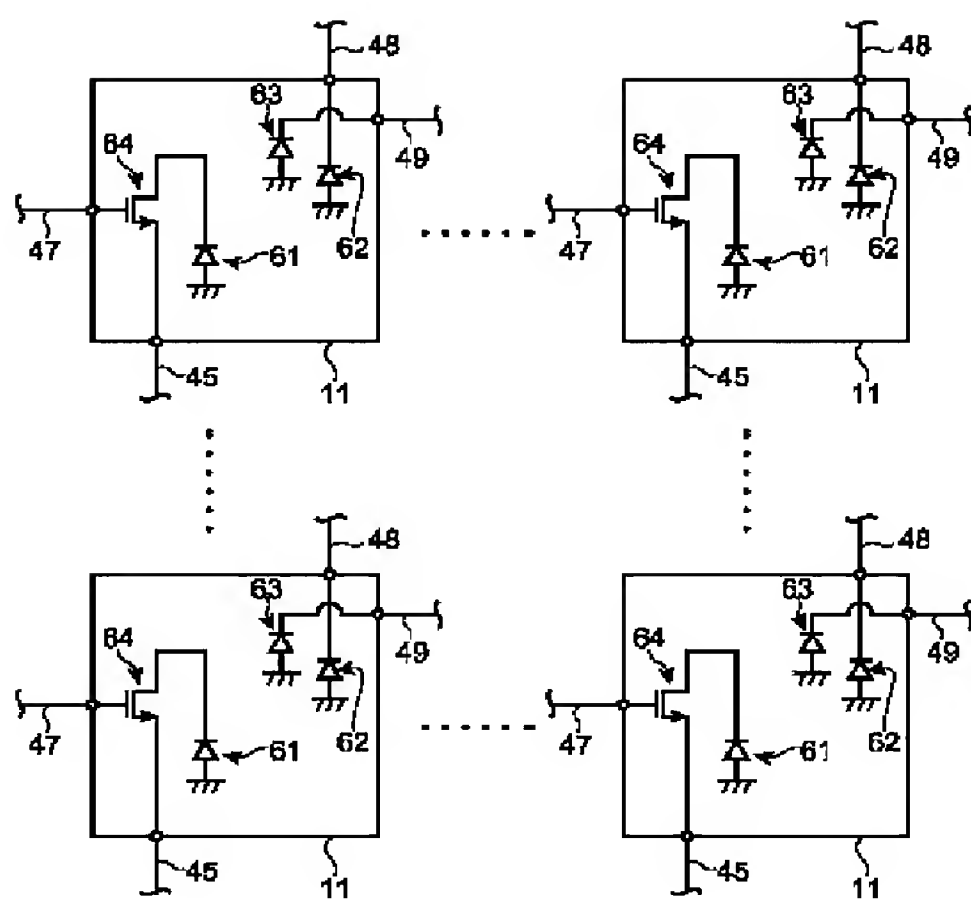
【図9】画像検出用信号処理回路の動作を説明するため

1…撮像装置、10…光感応領域、11_{mn}…画素、12_{mn}…第1光感応部分、13_{mn}…第2光感応部分、14_{mn}…第2光感応部分に含まれる一方の光感応部分、15_{mn}…第2光感応部分に含まれる他方の光感応部分、20…第1輝度プロファイル検出用信号処理回路、21…第1スイッチ素子、22…第1輝度プロファイル検出用シフトレジスタ、23…第1積分回路、30…第2輝度プロファイル検出用信号処理回路、31…第2スイッチ素子、32…第2輝度プロファイル検出用シフトレジスタ、33…第2積分回路、40…半導体基板、41、42、43…第2導電型半導体領域、45…第1配線、46…MOSゲート、47…第2配線、48…第3配線、49…第4配線、50…画像検出用信号処理回路、51…第1画像検出用シフトレジスタ、52…第3スイッチ素子、53…第2画像検出用シフトレジスタ、54…第3積分回路、61、62、63…フォトダイオード、64…スイッチ素子、81、82、83、84…電界効果トランジスタ、91…第1画素位置特定部、92…第2画素位置特定部。

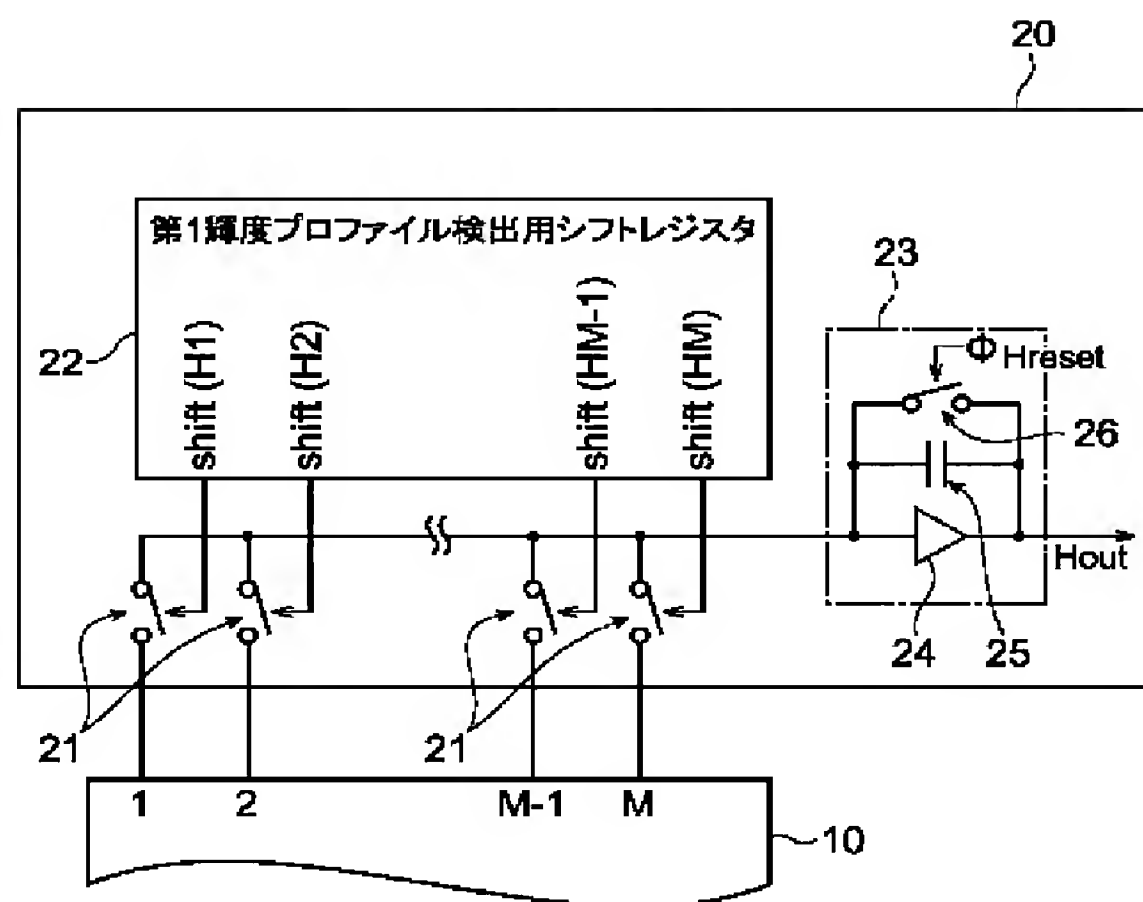
【图2】



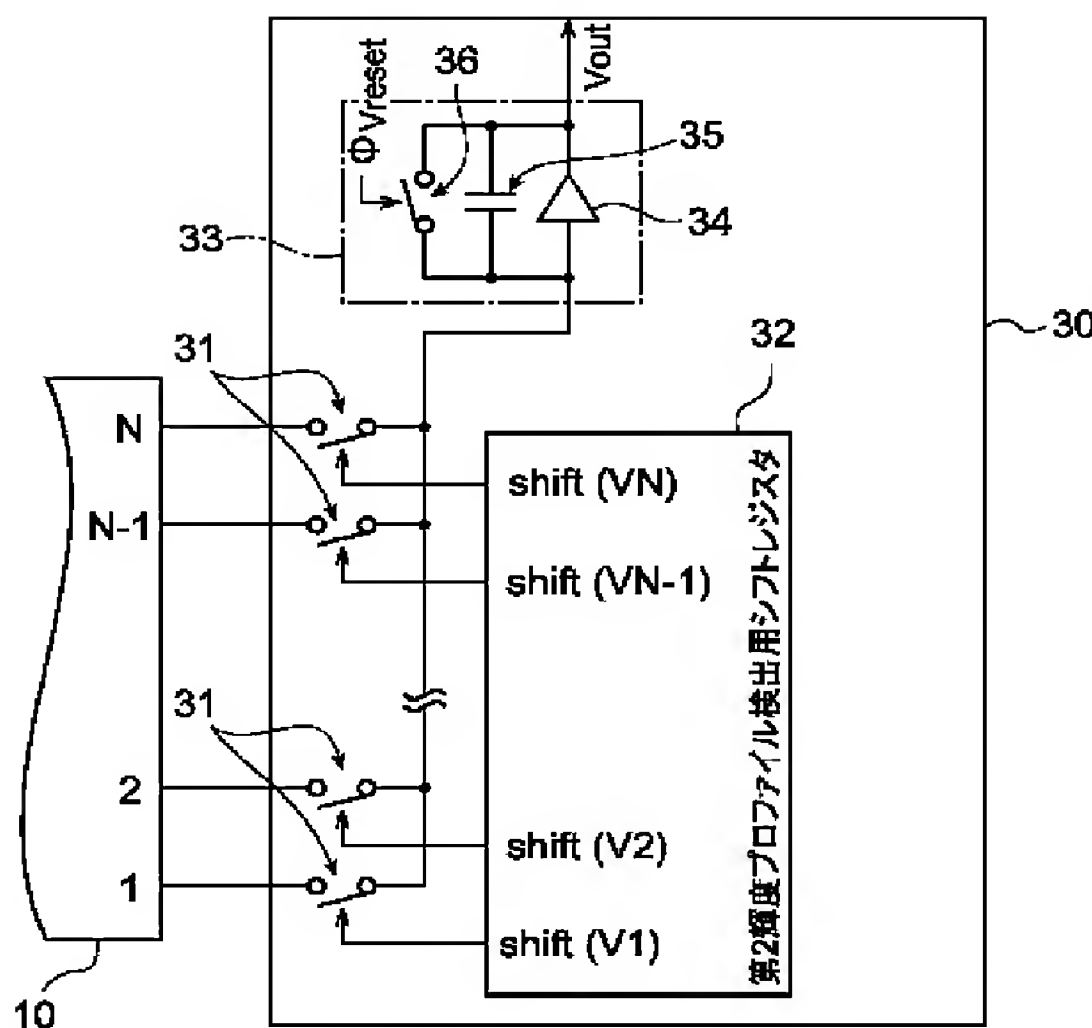
【図3】



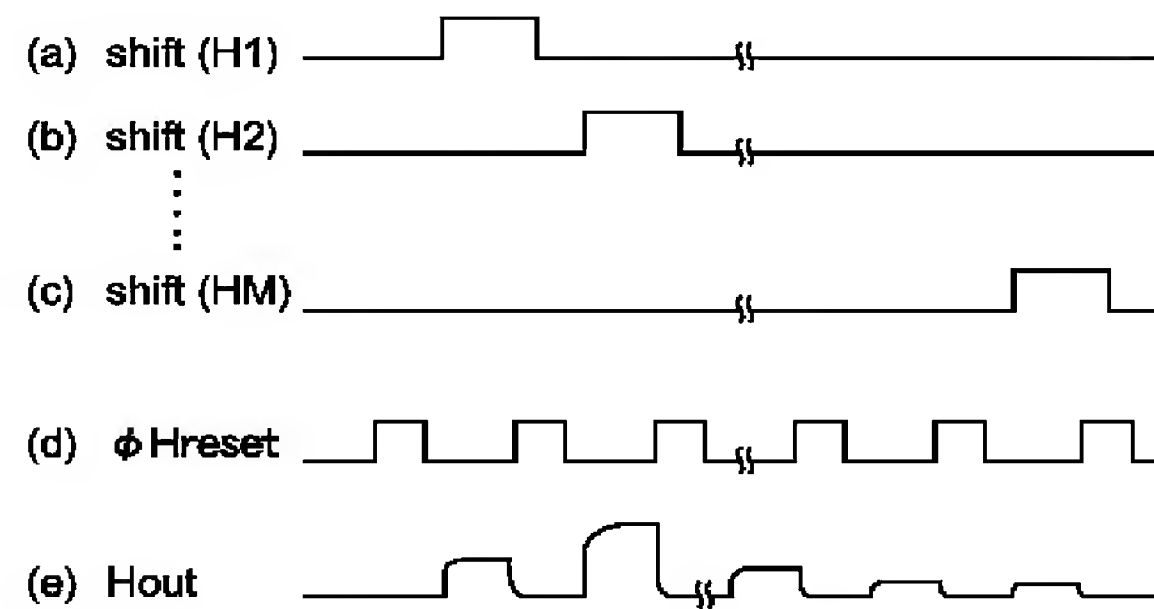
【図4】



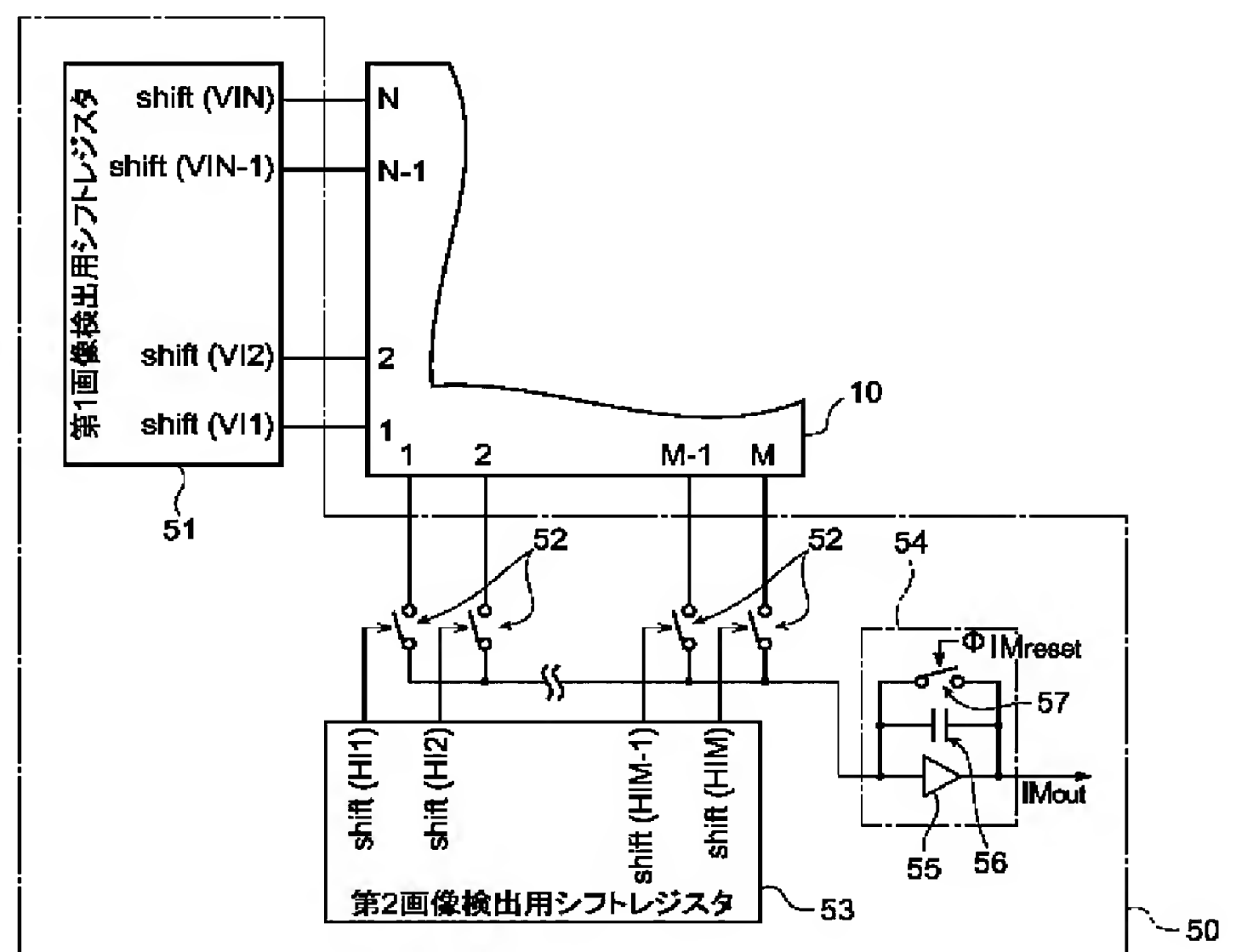
【図5】



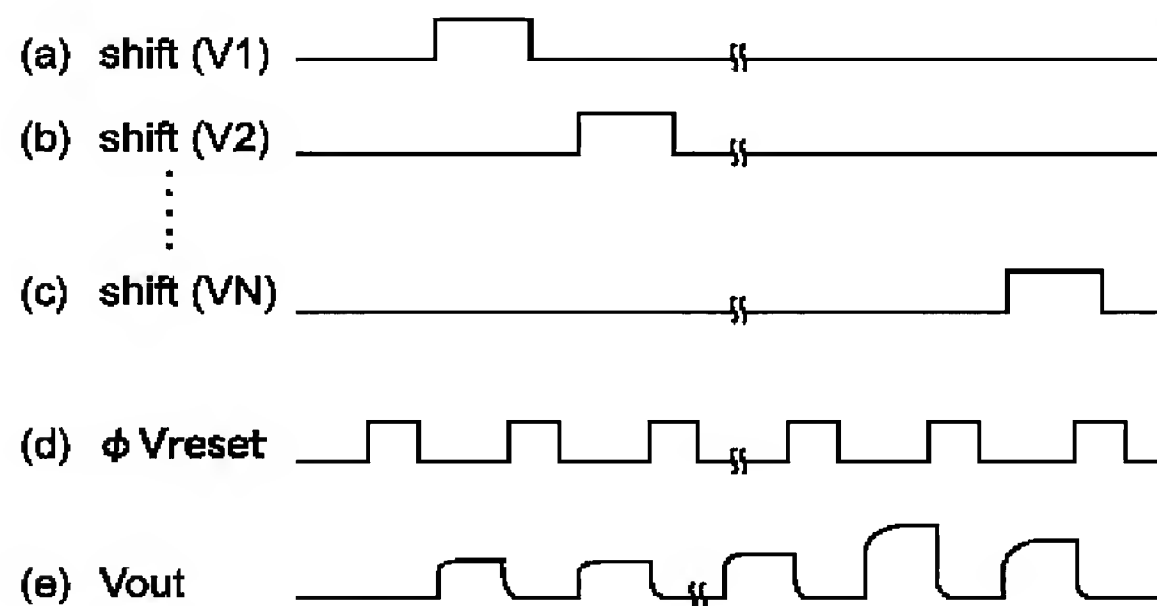
【図6】



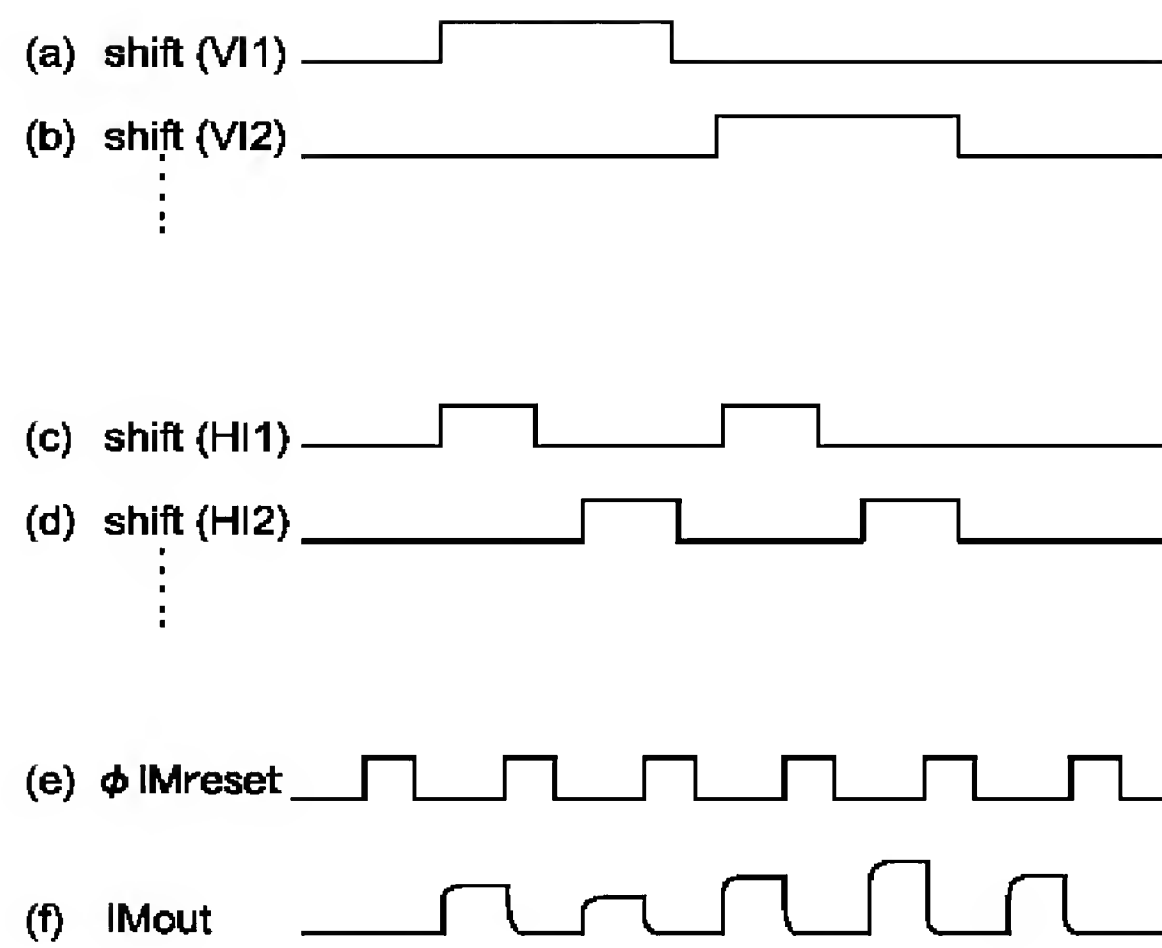
【図8】



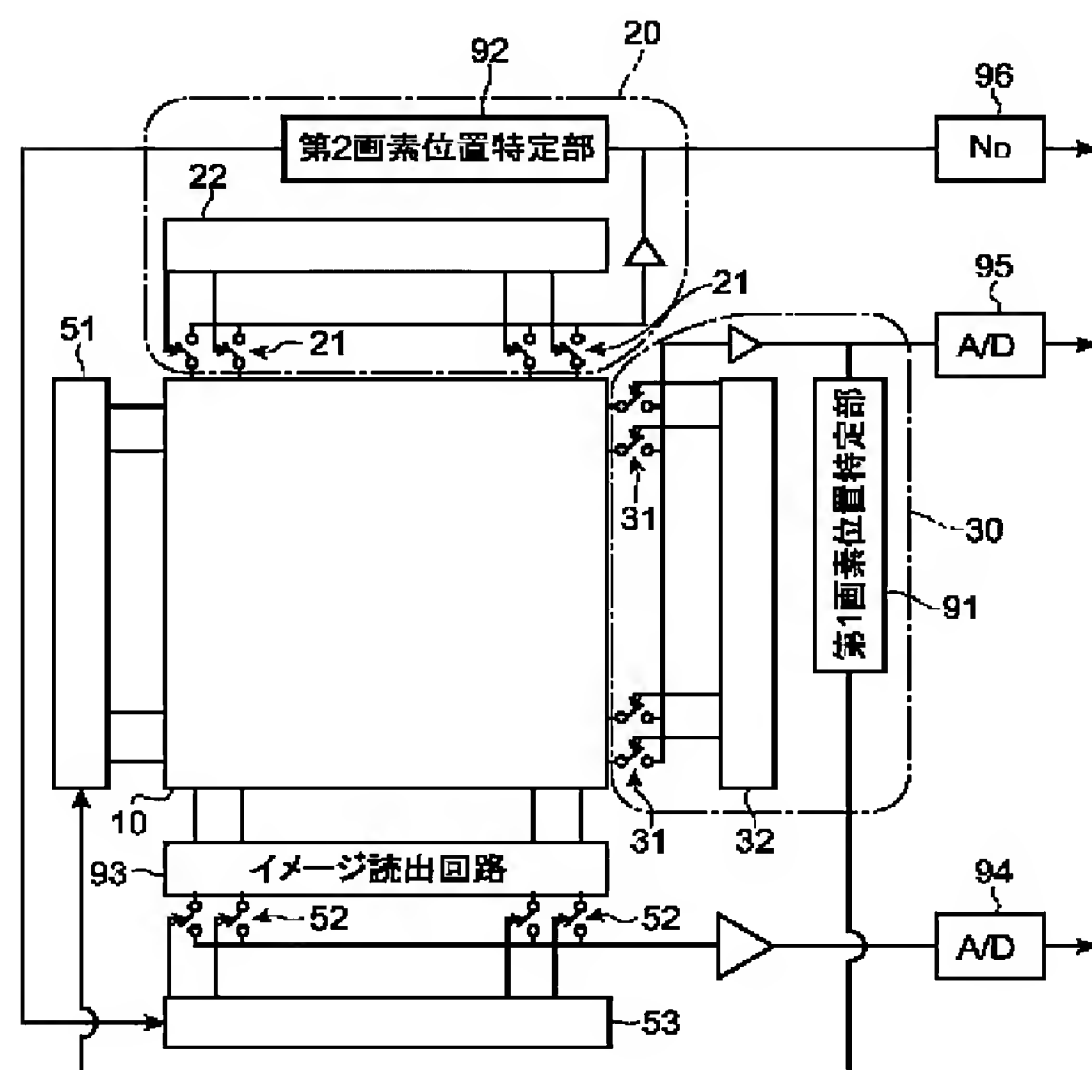
【図7】



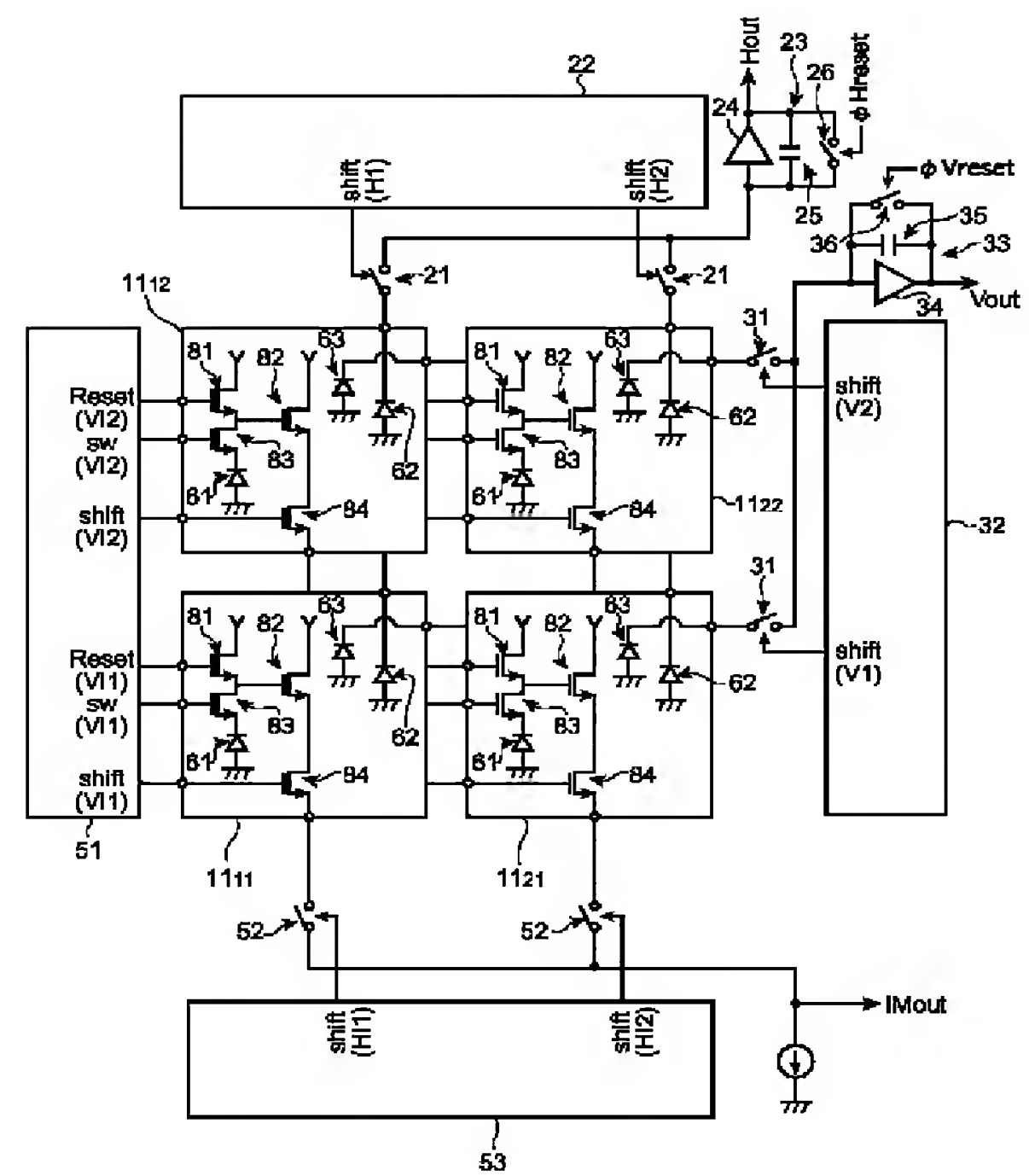
【図9】



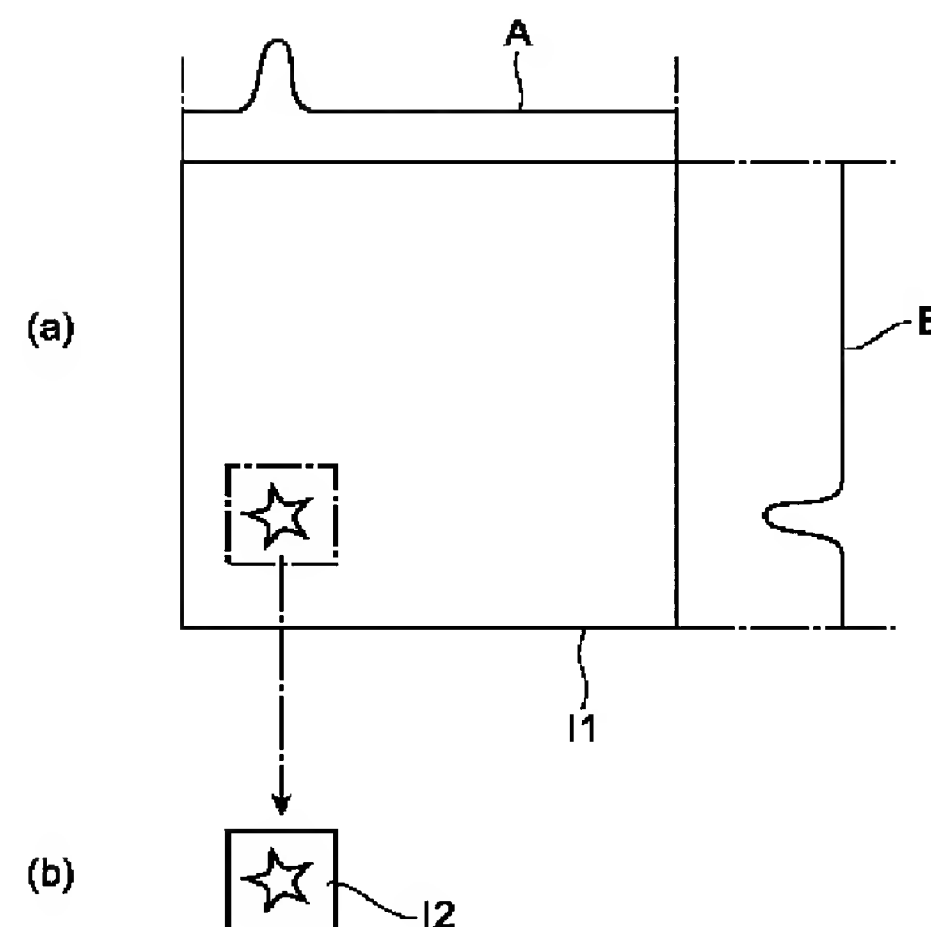
【図11】



【図10】



【図12】



フロントページの続き

(51)Int. Cl.⁷

H01L 27/146

H04N 5/232

識別記号

F I

H04N 5/232

H01L 27/14

テーマコード(参考)

C 5L096

A

(72)発明者 向坂 直久
静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

F ターム(参考) 2F065 AA03 AA07 AA19 AA20 AA51
FF04 JJ02 JJ03 JJ05 JJ25
JJ26 MM22 QQ14 QQ25 QQ28
QQ31
4M118 AA10 AB01 BA14 CA03 CA19
CA20 CA24 CA25 FA06 FA33
5B057 BA12 CA08 CA12 CA16 CB08
CB11 CB12 CH08 DB02 DB09
DC19
5C022 AB63 AC42
5C024 AX19 CY43 GX03 GX14 GY31
HX31 HX50
5L096 AA06 FA36 FA69